

|               |            |
|---------------|------------|
| Fecha del CVA | 01/07/2023 |
|---------------|------------|

**Part A. DATOS PERSONALES**

|                 |                 |
|-----------------|-----------------|
| Nombre          | Francisco       |
| Apellidos       | García Herrero  |
| Dirección email | francg18@ucm.es |

**A.1. Situación profesional actual**

|                        |                                           |
|------------------------|-------------------------------------------|
| Puesto                 | Profesor Titular de Universidad           |
| Organismo/ Institución | Universidad Complutense de Madrid         |
| Departamento/ Centro   | Arquitectura de Computadores y Automática |

**A.2. Formación Académica**

| Tesis     | Universidad/Pais                            | Año  |
|-----------|---------------------------------------------|------|
| Doctorado | Universitat Politècnica de València, España | 2013 |

**Parte B. RESUMEN DEL CV**

Profesor Titular del Departamento de Arquitectura de Computadores y Automática de la Facultad de Informática de la Universidad Complutense de Madrid (UCM).

Desde 2011, ha desarrollado su actividad docente e investigadora en varias universidades en los Grados de Ingeniería Informática, Ingeniería de Telecomunicaciones, Ingeniería Electrónica e Ingeniería en Tecnologías Industriales.

Sus líneas de investigación se centran en el diseño de algoritmos y arquitecturas tolerantes a fallos para sistemas de procesamiento clásico y cuántico, cubriendo desde el modelado de nuevos algoritmos y protocolos, hasta el diseño de las arquitecturas hardware derivadas y su posterior implementación. Sus áreas de interés son las comunicaciones ópticas y espaciales, los sistemas de almacenamiento masivo de datos y los sistemas de procesamiento cuántico NISQ y emergentes.

Desde 2010 ha participado y dirigido proyectos de investigación nacionales e internacionales, y ha codirigido tres tesis doctorales. En la actualidad, desarrolla su investigación dentro del grupo de Hardware Dinámicamente Reconfigurable (GHADIR) de la UCM. Fruto de su trabajo investigador es coautor de más de 40 publicaciones científicas. También, ha participado como profesor en escuelas internacionales organizadas por IEEE Communications Society, IEEE Circuits and Systems Society y IEEE Signal Processing Society.

**Part C. LISTADO DE APORTACIONES MÁS RELEVANTES (últimos 10 años)-****C.1. Publicaciones más importantes en revistas con “peer review”**

1. Yao-Ming Kuo; Mark Flanagan; Francisco Garcia Herrero; Óscar Ruano; Juan Antonio Maestro. *Integration of a Real-Time CCSDS 410.0-B-32 Error-Correction Decoder on FPGA-Based RISC-V SoCs Using RISC-V Vector Extension*. *IEEE Transactions on Aerospace and Electronic Systems*. IEEE, 2023.
2. Yao-Ming Kuo; Francisco Garcia Herrero; Óscar Ruano; Juan Antonio Maestro. *RISC-V Galois Field ISA Extension for Non-Binary Error-Correction Codes and Classical and Post-Quantum Cryptography*. *IEEE Transactions on Computers*. 72, IEEE, 2023.
3. Laura Rodríguez-Soriano; Óscar Ruano; Francisco Garcia Herrero; Juan Antonio Maestro. *A New Radiation-Hardened Architecture for Holographic Memory Address Calculation*. *Alexandria Engineering Journal* 61, Elsevier, 2022.
4. Luis Aranda; Óscar Ruano; Francisco Garcia Herrero; Juan Antonio Maestro. *ACME-2: Improving the Extraction of Essential Bits in Xilinx SRAM-based FPGAs*. *IEEE Transactions on Circuits and Systems II: Express Briefs*. 69, IEEE, 2022.

5. J. Andrés Bravo-Montes; Alonso Martín-Toledano; Alfonso Sánchez-Macián; Óscar Ruano; Francisco Garcia Herrero. Design and implementation of efficient QCA full-adders using fault-tolerant majority gates. *The Journal of Supercomputing*. 78, Springer, 2022.
6. Yao-Ming Kuo; Francisco Garcia Herrero; Óscar Ruano; Juan Antonio Maestro. Flexible and area-efficient Galois field Arithmetic Logic Unit for soft-core processors. *Computers and Electrical Engineering*. 99, Elsevier, 2022.
7. Alfonso Sánchez-Macián; Alonso Martín-Toledano; J. Andrés Bravo-Montes; Francisco Garcia Herrero; Juan Antonio Maestro. Reducing the Impact of Defects in Quantum-Dot Cellular Automata (QCA) Approximate Adders at Nano Scale. *IEEE Transactions on Emerging Topics in Computing*. 10, IEEE, 2022.
8. Francisco Garcia Herrero; Alfonso Sánchez-Macián; Juan Antonio Maestro. Towards an error-free 3-D memory for space applications. *Advances in Space Research*. 70, Elsevier, 2022.
9. Francisco Garcia Herrero; Alfonso Sánchez-Macián; Juan Antonio Maestro. Combined symbol error correction and spare through-silicon vias for 3D memories. *IEEE Transactions on Emerging Topics in Computing*. 9, IEEE, 2021.
10. Francisco Garcia Herrero; Gary McGuire; Mark Flanagan; Alfonso Sánchez-Macián; Juan Antonio Maestro. Decoding Algorithm for Quadruple-Error-Correcting Reed-Solomon Codes and its Derived Architectures. *IEEE Transactions on Circuits and Systems II: Express Briefs*. 68, IEEE, 2021.
11. Óscar Ruano; Francisco Garcia Herrero; Luis Aranda; Alfonso Sánchez-Macián; Laura Rodríguez; Juan Antonio Maestro. Fault Injection Emulation for Systems in FPGAs: Tools, Techniques and Methodology, a Tutorial Sensors. 21, MDPI, 2021.
12. Francisco Garcia Herrero; Alfonso Sánchez-Macián; Juan Antonio Maestro. Low delay non-binary error correction codes based on Orthogonal Latin Squares. *Integration*. 76, Elsevier, 2021.
13. Luis Aranda; Óscar Ruano; Francisco Garcia Herrero; Laura Rodríguez; Juan Antonio Maestro. Reliability Analysis of ASIC Designs With Xilinx SRAM-Based FPGAs. *IEEE Access*. 9, IEEE, 2021.
14. Javier Valls; Francisco Garcia Herrero; Nithin Raveendran; Bane Vasic. Syndrome-Based Min-Sum vs OSD-0 Decoders: FPGA Implementation and Analysis for Quantum LDPC Codes. *IEEE Access*. 9, IEEE, 2021.
15. Francisco Garcia Herrero; Alfonso Sánchez-Macián; Mateo San Isidro; Luis Aranda; Juan Antonio Maestro. Efficient Majority-Logic Reed-Solomon Decoders for Single Symbol Correction. *IEEE Transactions on Device and Materials Reliability*. 20, IEEE, 2020.
16. Francisco Garcia Herrero; Alfonso Sánchez-Macián; Juan Antonio Maestro; Mark Flanagan. Extended symbol correction algorithm for group testing based non-binary error correction codes of minimum distance  $d_q < 5$ . *Microelectronics Reliability*. 113, Elsevier, 2020.
17. Francisco Garcia Herrero; Alfonso Sánchez-Macián; Juan Antonio Maestro. Low-Latency and Low-Power Test-Vector Selector for Reed-Solomon's Low-Complexity Chase. *IEEE Transactions on Circuits and Systems II*. 67, IEEE, 2020.
18. Luis Aranda; Francisco Garcia Herrero; Luis Esteban; Alfonso Sánchez-Macián; Juan Antonio Maestro. Radiation Hardened Digital Direct Synthesizer with CORDIC for Spaceborne Applications. *IEEE Access*. 8, IEEE, 2020.
19. Luis Aranda; Alfonso Sánchez-Macián; Francisco Garcia Herrero; Yubal Barrios; Roberto Sarmiento; Juan Antonio Maestro. Reliability Analysis of the SHyLoC CCSDS123 IP Core for Lossless Hyperspectral Image Compression Using COTS FPGAs. *Electronics*. 9, MDPI, 2020.
20. Kyle W. Gear; Alfonso Sánchez-Macián; Francisco Garcia Herrero; Juan Antonio Maestro. Two Behavioural Error Detection Techniques for the Cascaded Integrator-Comb Interpolation Filter Implemented on FPGA. *Circuits, Systems, and Signal Processing*. 39, Springer, 2020.
21. Javier Valls; Vicente Torres; María José Canet. A Test Vector Generation Method Based on Symbol Error Probabilities for Low-Complexity Chase Soft-Decision Reed-

- Solomon Decoding. *IEEE Transactions on Circuits and Systems I: Regular Papers*. 2019.
22. A Das; Alfonso Sánchez-Macián; Francisco García-Herrero; N.A. Touba; Juan Antonio Maestro. Enhanced Limited Magnitude Error Correcting Codes for Multilevel Cell Main Memories. *IEEE Transactions on Nanotechnology*. 18, IEEE, 2019.
  23. Gabriele Perrone; Javier Valls; Vicente Torres; Francisco García Herrero. Reed–Solomon Decoder Based on a Modified ePIBMA for Low-Latency 100 Gbps Communication Systems. *Circuits, Systems, and Signal Processing*. 2019.
  24. Alfonso Sánchez-Macián; Francisco García Herrero; Juan Antonio Maestro. Reliability of 3D memories using Orthogonal Latin Square codes. *Microelectronics Reliability*. 95, 2019.
  25. Joan Marc Català-Pérez; Jesús Lacruz; Francisco García Herrero; Javier Valls; David Declercq. Second Minimum Approximation for Min-Sum Decoders Suitable for High-Rate LDPC Codes. *Circuits, Systems, and Signal Processing*. 38, 2019.
  26. Vicente Torres; Javier Valls; María José Canet; Francisco García-Herrero. Soft-Decision Low-Complexity Chase Decoders for the RS(255,239) Code. *Electronics*. 8, MDPI, 2019.
  27. Jesús Omar Lacruz Lucht; Francisco Miguel García Herrero; MJ Canet Subiela; Javier Valls Coquillat. High-performance NB-LDPC decoder with reduction of message exchange. *IEEE Transactions on Very Large Scale Integration*. 2016.
  28. Jesús Omar Lacruz Lucht; Francisco Miguel García Herrero; MJ Canet Subiela; Javier Valls Coquillat. Reduced-complexity Non-Binary LDPC decoder for high-order Galois fields based on Trellis Min-Max algorithm. *IEEE Transactions on Very Large Scale Integration*. 2016.
  29. Jesús Omar Lacruz Lucht; Francisco Miguel García Herrero; David Declercq; Javier Valls Coquillat. One Minimum Only Trellis Decoder for Non-Binary Low-Density Parity-Check Codes. *IEEE Transactions on Circuits and Systems I*. 2015.
  30. Jesús Omar Lacruz Lucht; Francisco Miguel García Herrero; Javier Valls Coquillat. Reduction of complexity for Nonbinary LDPC decoders with compressed messages. *IEEE Transactions on Very Large Scale Integration*. 2015.
  31. Jesus Omar Lacruz Lucht; Francisco Miguel García Herrero; David Declercq; Javier Valls Coquillat. Simplified Trellis Min- Max Decoder Architecture for Nonbinary Low-Density Parity-Check Codes. *IEEE Transactions on Very Large Scale Integration*. 2015.
  32. Francisco Miguel García Herrero; Erbao Li; David Declercq; Javier Valls Coquillat. Multiple-Vote Symbol Flipping Decoder for Non-Binary LDPC Codes. *IEEE Transactions on Very Large Scale Integration*. 2014.
  33. Francisco Miguel García Herrero; M<sup>a</sup>José Canet Subiela; Javier Valls Coquillat. Non-Binary LDPC Decoder Based on Simplified Enhanced Generalized Bit Flipping Algorithm. *IEEE Transactions on Very Large Scale Integration*. 2014.
  34. Francisco Miguel García Herrero; M<sup>a</sup>José Canet Subiela; Javier Valls Coquillat. Non-Binary LDPC Decoder Based on Symbol Flipping with Multiple Votes. *IEEE Communications Letters*. 2014.
  35. Joan Marc Catala Pérez; Francisco Miguel García Herrero; Javier Valls Coquillat; Keke Liu; Shu Lin. Reliability-based iterative decoding algorithm for LDPC codes with low variable-node degree. *IEEE Communications Letters*. 2014.
  36. Francisco Miguel García Herrero; M<sup>a</sup>José Canet Subiela; Javier Valls Coquillat. Architecture of Generalized BitFlipping Decoding for High-Rate Non-binary LDPC Codes. *Circuits, Systems, and Signal Processing*. 2013.

## C.2. Congresos

1. Julien Du Crest; Francisco García Herrero; Mehdi Mhalla; Valentin Savin; Javier Valls. "Layered Decoding of Quantum LDPC Codes". 12th International Symposium on Topics in Coding (ISTC), 2023.
2. Laura Rodríguez-Soriano; Nithin Raveendran; Francisco García Herrero; Bane Vasic. "Evaluation of Quantum Generalized Belief Propagation Decoder". Workshop on Quantum Resource Estimation (QRE 2021).

3. Nithin Raveendran; Javier Valls; Francisco Garcia Herrero; Bane Vasic. "Hardware Implementation of Scalable Decoders for QLDPC codes". Workshop on Quantum Resource Estimation (QRE 2021).
4. Yao-Ming Kuo; Francisco Garcia Herrero; Juan Antonio Maestro. "Versatile RISC-V ISA Galois Field arithmetic extension for cryptography and error-correction codes". Fifth Workshop on Computer Architecture Research with RISC-V (CARRV 2021).
5. Gabriele Perrone; Javier Valls; Vicente Torres; Francisco Garcia Herrero. "High-throughput one-channel RS(255,239) Decoder". Euromicro Conference on Digital System Design. 2018.
6. Vicente Torres; Javier Valls; M<sup>a</sup>José Canet; Francisco García Herrero. "Soft-Decision LCC Decoder Architecture with  $\lambda=4$  for Rs(255,239)". 16th IEEE International NEWCAS Conference. 2018.
7. JO Lacruz; Francisco García Herrero; MJ Canet Subiela; Javier Valls; Asunción Pascual Pérez. "A 630 Mbps non-binary LDPC decoder for FPGA". IEEE ISCAS 2015.
8. Francisco Garcia Herrero; David Declercq; Javier Valls. "A symbol flipping decoder for NB-LDPC relying on multiple votes". ISTC 2014.
9. Francisco Miguel García Herrero; M<sup>a</sup>José Canet Subiela; Javier Valls Coquillat. "High-Speed NB-LDPC Decoder For Wireless Applications". ISPACS 2013.
10. Erbao Li; David Declercq; Kiran Gunnam; Francisco Miguel García Herrero; Jesús Omar Lacruz Lucht; Javier Valls Coquillat. "Low Latency T-EMS decoder for NB-LDPC codes". Asilomar Conference on Signals, Systems and Computers 2013.

### **C.3. Proyectos o líneas de investigación en los que ha participado (últimos 10 años)**

*Nombre del proyecto:* Error Correction for Quantum Information Processing (EQUIP)

*Entidad de realización:* Universidad Complutense de Madrid

*Nombres investigadores principales (IP, Co-IP,...):* Francisco García Herrero

*Entidad/es financiadora/s:* European Union Next Generation

*Fecha de inicio-fin:* 01/06/2022 - 02/06/2025

*Cuantía total:* 105.060,72 €

*Nombre del proyecto:* Tratamiento Digital de la Señal y Corrección de Errores en Transmisión Óptica Mediante Fibra Multi-Núcleo Para Redes Ópticas De Acceso

*Entidad de realización:* Universidad Politécnica de Valencia

*Nombres investigadores principales (IP, Co-IP,...):* Javier Valls

*Entidad/es financiadora/s:* Ministerio de Ciencia e Innovación

*Fecha de inicio-fin:* 01/01/2016 - 17/01/2019

*Cuantía total:* 190.817 €

*Nombre del proyecto:* Algoritmos y arquitecturas de FEC para futuros sistemas de comunicaciones

*Entidad de realización:* Universidad Politécnica de Valencia

*Nombres investigadores principales (IP, Co-IP,...):* Javier Valls

*Entidad/es financiadora/s:* Ministerio de Ciencia e Innovación

*Fecha de inicio-fin:* 01/01/2012 - 31/12/2014

*Cuantía total:* 147.862 €