



Parte A.DATOS PERSONALES

Fecha del CVA 26/01/2020

Nombre y apellidos	Clemente Barreira, Juan Antonio		
DNI/NIE/pasaporte	52887871S	Edad	35
Núm. identificación del investigador	Researcher ID	G-5853-2019	
	Scopus Author ID	25228491800	
	Código Orcid	0000-0002-7855-1051	

A.1. Situación profesional actual

Organismo	Universidad Complutense de Madrid		
Dpto./Centro	Departamento de Arquitectura de Computadores y Automática / Facultad de Informática		
Dirección	C/ Profesor José García Santesmases 9, 28040 Madrid		
Teléfono	913947600	Correo electrónico	ja.clemente@fdi.ucm.es
Categoría profesional	Profesor Contratado Doctor Interino	Fecha inicio	14/11/2015
Espec. cód. UNESCO	330406 – Arquitectura de ordenadores		
Palabras clave	Arquitectura de ordenadores, Tecnología, Hardware reconfigurable, Fiabilidad, Single Event Effects (SEEs)		

A.2. Formación académica (título, institución, fecha)

Licenciatura/Grado/Doctorado	Universidad	Año
Ingeniero en Informática	Universidad Complutense de Madrid	2007
Doctorado	Universidad Complutense de Madrid	2011

A.3. Indicadores generales de calidad de la producción científica

21 artículos en revistas indexadas en el JCR y 19 publicaciones en conferencias internacionales.

308 citas en total de mis publicaciones en congresos y revistas, índice h 11 (Google Scholar).

Parte B. RESUMEN LIBRE DEL CURRÍCULUM

Soy profesor Contratado Doctor desde 2019 en la Universidad Complutense de Madrid (UCM) en el Área de Arquitectura y Tecnología de Computadores. Desde mi incorporación a la UCM, mi actividad investigadora predoctoral ha estado muy relacionada con la optimización del diseño de circuitos digitales y la gestión eficiente del hardware reconfigurable. Desde la lectura de mi tesis doctoral, mis actividades han ido más enfocadas en la temática de física y ciencias del espacio; en concreto, sobre la inyección de errores en dispositivos reconfigurables y la evaluación de la sensibilidad frente a radiaciones de memorias.

He participado de manera continuada en 7 proyectos de investigación competitivos, uno de ellos internacional. Durante este tiempo, he sido coautor de 19 publicaciones en congresos internacionales, así como de 21 publicaciones en revistas científicas con impacto JCR.

Mantengo colaboraciones con las siguientes instituciones nacionales e internacionales: la universidad de Zaragoza, la Ferdowsi University of Mashhad (FUM), la École Polytechnique Fédérale de Lausanne (EPFL), el Institut Polytechnique de Grenoble (INPG) y el French Aerospace Lab en el ONERA (Office National d'Etudes et de Recherches Aéronautiques).

Parte C. MÉRITOS MÁS RELEVANTES

C.1. Publicaciones

Soy coautor de 21 publicaciones indexadas en el JCR:

- 1 J. Resano, **J. A. Clemente**, C. González, D. Mozos and F. Catthoor, “Efficiently Scheduling Run-Time Reconfigurations”, in *ACM Transactions on Design Automation of Electronic Systems (TODAES)*, Vol.13, pp. 1–12, 2008.
- 2 **J. A. Clemente**, C. González, J. Resano and D. Mozos, “A Task Graph Execution Manager for Reconfigurable Systems”, in *Microprocessors and Microsystems: Embedded Hardware Design (MICPRO)*, Vol. 34, Issues 2-4 pp. 73–83, 2010.
- 3 **J. A. Clemente**, J. Resano, C. González and D. Mozos, “A Hardware Implementation of a Run-Time Scheduler for Reconfigurable Systems”, in *IEEE Transactions on Very Large-Scale Integration Systems (TVLSI)*, Vol. 19, Issue 7, pp. 1263–1276, 2011.
- 4 **J. A. Clemente**, I. Beretta, V. Rana, D. Atienza and D. Sciuto, “A Mapping-Scheduling Algorithm for Hardware Acceleration on Reconfigurable Platforms”, in *ACM Transactions on Reconfigurable Technology and Systems (TRETS)*, Vol. 7, Issue 2, pp. 1–27, 2014.
- 5 **J. A. Clemente**, J. Resano and D. Mozos, “An Approach to Manage Reconfigurations and Reduce Area Cost in Hard Real-Time Reconfigurable Systems”, in *ACM Transactions on Embedded Computing Systems (TECS)*, Vol. 13, Issue 14, pp. 1–24, 2014.
- 6 R. Velazco, **J. A. Clemente**, G. Hubert, W. Mansour, C. Palomar, F. J. Franco, M. Baylac, S. Rey, O. Rosetto and F. Villa, “Evidence of the Robustness of a COTS Soft-Error Free SRAM to Neutron Radiation”, in *IEEE Transactions on Nuclear Science (TNS)*, Vol. 61, Issue 6, pp. 3103–3108, December 2014.
- 7 **J. A. Clemente**, E. Pérez-Ramo, J. Resano, D. Mozos and F. Catthoor, “Configuration Mapping Algorithms to Reduce Energy and Time Reconfiguration Overheads in Reconfigurable Systems”, in *IEEE Transactions on Very Large-Scale Integration Systems (TVLSI)*, Vol. 22, Issue 6, pp. 1248–1261, 2014.
- 8 F. Serrano, **J. A. Clemente** and H. Mecha, “A Methodology to Emulate Single Event Upsets in Flip-Flops using FPGAs through Partial Reconfiguration and Instrumentation”, in *IEEE Transactions on Nuclear Science (TNS)*, Vol. 62, Issue 4, pp. 1617–1624, 2015.
- 9 **J. A. Clemente**, R. Gran, A. Chocano, C. del Prado and J. Resano “Hardware Architectural Support for Caching Partitioned Reconfigurations in Reconfigurable Systems”, in *IEEE Transactions on Very Large-Scale Integration Systems (TVLSI)*, Vol. 24, Issue 2, pp. 530–543, 2016.
- 10 **J. A. Clemente**, W. Mansour, R. Ayoubi, F. Serrano, H. Mecha, H. Ziade, W. El Falou and R. Velazco, “Hardware Implementation of a Fault-tolerant Hopfield Neural Network”, in *Neurocomputing*, Vol. 171, pp. 1606–1609, 2016.
- 11 **J. A. Clemente**, F. J. Franco, F. Villa, M. Baylac, S. Rey, H. Mecha, J. A. Agapito, H. Puchner, G. Hubert and R. Velazco, “Statistical Anomalies of Bitflips in SRAMs to Discriminate SBUs from MCUs”, in *IEEE Transactions on Nuclear Science (TNS)*, Vol. 63, pp. 2087–2094, 2016.
- 12 P. Ramos, V. Vargas, M. Baylac, F. Villa, S. Rey, **J. A. Clemente**, N.-E. Zergainoh, J.-F. Méhaut and R. Velazco, “Evaluating the SEE Sensitivity of a 45 nm SOI Multi-core Processor due to 14 MeV Neutrons”, in *IEEE Transactions on Nuclear Science (TNS)*, Vol. 63, pp. 2193–2200, 2016.
- 13 **J. A. Clemente**, F. J. Franco, F. Villa, M. Baylac, P. Ramos, V. Vargas, H. Mecha, J. A. Agapito and R. Velazco, “Single Events in a COTS Soft-Error Free SRAM at Low Bias Voltage Induced by 15-MeV Neutrons”, in *IEEE Transactions on Nuclear Science (TNS)*, Vol. 63, pp. 2072–2079, 2016.
- 14 R. Ramezani, Y. Sedaghat, M. Naghibzadeh and **J. A. Clemente**, “Reliability and Makespan Optimization of Hardware Task Graphs in Partially Reconfigurable Platforms”, in *IEEE Transactions on Aerospace and Electronic Systems (TAES)*, Vol. 53, pp. 983–994, 2017.
- 15 R. Ramezani, Y. Sedaghat and **J. A. Clemente**, “Reliability Improvement of Hardware Task Graphs via Configuration Early Fetch”, in *IEEE Transactions on Very Large Scale Integration Systems (TVLSI)*, Vol. 25, pp. 1408–1420, 2017.
- 16 **J. A. Clemente**, G. Hubert, F. J. Franco, F. Villa, M. Baylac, H. Mecha, H. Puchner and R. Velazco, “Sensitivity Characterization of a COTS 90-nm SRAM at Ultra Low Bias Voltage”, in *IEEE Transactions on Nuclear Science (TNS)*, Vol. 64, pp. 2188–2195, 2017.

- 17 F. J. Franco, **J. A. Clemente**, M. Baylac, S. Rey, F. Villa, H. Mecha, J. A. Agapito, H. Puchner, G. Hubert and R. Velazco, "Statistical Deviations from the Theoretical only-SBU Model to Estimate MCU rates in SRAMs", in IEEE Transactions on Nuclear Science (TNS), Vol. 64, pp. 2152–2160, 2017.
- 18 J. Olivito, F. Serrano, **J. A. Clemente**, H. Mecha and J. Resano, "Analysis of the Reconfiguration Latency and Energy Overheads for a Xilinx Virtex-5 FPGA", in IET Computers & Digital Techniques, Vol. 12, pp. 150-157, 2018.
- 19 **J. A. Clemente**, G. Hubert, J. A. Fraire, F. J. Franco, F. Villa, S. Rey, M. Baylac, H. Puchner, H. Mecha, and R. Velazco, "SEU Characterization of Three Successive Generations of COTS SRAMs at Ultralow Bias Voltage to 14.2 MeV Neutrons", in IEEE Transactions on Nuclear Science (TNS), Vol. 65, pp. 1858–1865, 2018.
- 20 R. Ramezani, Y. Sedaghat, M. Naghibzadeh and **J. A. Clemente** "A Decomposition-based Reliability and Makespan Optimization Technique for Hardware Task Graphs", in Reliability Engineering & System Safety (RESS), Vol. 180, pp. 13-24, 2018.
- 21 Francisco J. Franco, **J. A. Clemente**, H. Mecha and R. Velazco, "Influence of Randoness during the Interpretation of Results from Single-Event Experiments on SRAMs", in IEEE Transactions on Device and Materials Reliability (TDMR), Vol. 19, pp. 104-111, 2019.

C.2. Proyectos

He participado o participo a tiempo completo en los siguientes 7 proyectos de investigación competitivos:

1- Referencia del proyecto: TIN2017-87237-P

Título: Técnicas hardware y software para el análisis, detección y recuperación de errores inducidos por la radiación en sistemas digitales embarcados en misiones espaciales II

Investigadores principales: Hortensia Mecha López y M^a Carmen Molina Prego (Universidad Complutense de Madrid)

Entidad financiadora: Ministerio de Economía y Competitividad

Duración: 01/07/2018 - 30/06/2021

Tipo de participación en el proyecto/contrato: investigador equipo

Estado del proyecto o contrato: concedido

2- Referencia del proyecto: TIN2013-40969-P

Título: Técnicas hardware y software para el análisis, detección y recuperación de errores inducidos por la radiación en sistemas digitales embarcados en misiones espaciales

Investigadores principales: Hortensia Mecha López y M^a Carmen Molina Prego (Universidad Complutense de Madrid)

Entidad financiadora: Ministerio de Economía y Competitividad

Duración: 01/01/2014 - 31/12/2016

Cuantía de la subvención (en euros): 102.729

Tipo de participación en el proyecto/contrato: colaborador

Estado del proyecto o contrato: concedido

3- Referencia del proyecto: AYA2009-13300-C03-02

Título: Estudio del efecto de la radiación en FPGAs para aplicaciones espaciales complejas

Investigador principal: Hortensia Mecha López

Entidad financiadora: Ministerio de Economía y Competitividad

Duración: 01/01/2010 - 31/12/2013

Financiación recibida (en euros): 30.000

Tipo de participación en el proyecto/contrato: investigador equipo

Estado del proyecto o contrato: concedido

4- Referencia del proyecto: TIN2009-09806

Título: Consideraciones avanzadas para la implementación realista y eficiente de multitarea hardware sobre FPGAs

Investigador principal: Daniel Mozos Muñoz (Universidad Complutense de Madrid)

Entidad financiadora: Ministerio de Ciencia e Innovación

Duración: 01/01/2010 – 31/12/2012
Cuantía de la subvención (en euros): 73.300
Tipo de participación en el proyecto/contrato: investigador equipo
Estado del proyecto o contrato: concedido

5- Referencia del proyecto: TIN2006-03274

Título: Multitarea Hardware sobre Arquitecturas con FPGAs de 1,2 y 3 dimensiones. Técnicas de planificación y colocación de tareas y estrategias de defragmentación.
Investigador principal: Daniel Mozos Muñoz (Universidad Complutense de Madrid)
Entidad financiadora: Ministerio de Ciencia e Innovación
Duración: 01/10/2006 - 30/09/2009
Cuantía de la subvención (en euros): 63.100
Tipo de participación en el proyecto/contrato: investigador equipo
Estado del proyecto o contrato: concedido

6- Referencia del proyecto: PR34/07-15821

Título: Desarrollo de un gestor de reconfiguraciones para HW dinámicamente reconfigurable
Investigador principal: Jesús Javier Resano Ezcaray (Universidad Complutense de Madrid)
Entidad financiadora: Universidad Complutense de Madrid
Duración: 01/01/2008 – 31/12/2009
Cuantía de la subvención (en euros): 8.400
Tipo de participación en el proyecto/contrato: investigador equipo
Estado del proyecto o contrato: concedido

7- Referencia del proyecto: SNCF/127282

Título: Dynamically Adaptative Architectures with Reconfigurable Logic for Nomadic Embedded Systems
Investigador principal: David Atienza Alonso (École Polytechnique Fédérale de Lausanne)
Entidad financiadora: Swiss National Science Foundation (SNSF)
Duración: 01/03/2010 – 30/06/2013
Cuantía de la subvención (en euros): 277.021
Tipo de participación en el proyecto/contrato: investigador equipo
Estado del proyecto o contrato: concedido

C.3. Contratos, méritos tecnológicos o de transferencia

Nombre del proyecto: VHDL based design of SoCs on FPGAs

Modalidad de proyecto: De investigación y desarrollo incluida traslacional
Ámbito geográfico: Internacional no UE
Grado de contribución: Investigador/a
Nombres investigadores principales (IP, Co-IP,...): Hortensia Mecha López
Nº de investigadores/as: 5
Entidad/es financiadora/s: INDRA SISTEMAS, S.A.
Fecha de inicio: 23/10/2014 Duración: 29 días Cuantía total: 8.000

C.5. Tesis doctorales dirigidas

He co-dirigido las siguientes 2 tesis doctorales:

1. **Reza Ramezani:** "*Reliability and Makespan Improvement of Hardware Task Graphs in Reconfigurable Platforms*". Directores: Y. Sedaghat, M. Naghibzadeh, J. A. Clemente. Ferdowsi University of Mashhad, Irán, 2017.
2. **Felipe Serrano Santos:** "*Emulación basada en FPGA de los efectos de los single eventupsets ocasionados por la radiación en circuitos digitales tolerantes a fallos*". Directores: H. Mecha, J.A. Clemente, UCM, 2017.

C.7. Estancias de investigación en el extranjero

He realizado las siguientes estancias de investigación predoctorales en la École Polytechnique Fédérale de Lausanne (Lausanne, Suiza), durante 7 meses:

- * Desde el 01/10/2009 hasta el 28/02/2010 (5 meses).
- * Desde el 01/07/2010 hasta el 31/08/2010 (2 meses).

He realizado las siguientes estancias de investigación postdoctorales en el Institut National Polytechnique de Grenoble (Grenoble, Francia), durante 9 meses:

- * Desde el 01/08/2013 hasta el 31/10/2013 (3 meses).
- * Desde el 01/04/2015 hasta el 30/06/2015 (3 meses).
- * Desde el 01/04/2017 hasta el 30/06/2017 (3 meses).

He realizado la siguiente estancia de investigación postdoctoral en la Office Nationale des Études pour la Recherche Aérospatiale (ONERA), en Toulouse (Francia), durante 6 meses:

- * Desde el 01/03/2013 hasta el 31/08/2019 (6 meses).

C.8 Idiomas

- * Inglés: Nivel C1 (Certificate on Advanced English).
- * Francés: Nivel B2 (Nivel Avanzado II en la Escuela Oficial de Idiomas).