

Memorias cache híbridas SRAM/STT-RAM de último nivel

Víctor Viñals Yúfera

Grupo de Arquitectura de Computadores de la Universidad de Zaragoza (gaZ)

Facultad de Informática

Sala de Grados - jueves 6 de marzo de 2025 - 16:00

Entrada libre hasta completar el aforo

Resumen:

Existen varias tecnologías de memoria no volátil con tiempos de acceso similares a los de SRAM, pero con una mayor densidad y un menor consumo estático. Su problema es el desgaste que sufren tras cada escritura, lo que conlleva una progresiva disminución de capacidad. Una opción que examinamos recientemente durante la tesis de Carlos Escuín fue la tecnología STT-RAM. Para ello "inventamos" un modelo de simulación-predicción que pronostica el envejecimiento de la cache y lo aplicamos para valorar propuestas originales de caches híbridas y tolerantes a fallos, que almacenan los bloques de cache en una parte, o en otra, teniendo en cuenta el comportamiento en escritura y el tamaño del bloque comprimido. La propuesta final mejora las prestaciones y aumenta significativamente el tiempo de vida con respecto al estado del arte.

Sobre Víctor Viñals Yúfera:

Presidente de la Sociedad de Arquitectura y Tecnología de Computadores y catedrático de universidad. Responsable del gaZ. Investiga en diseño y explotación (prebúsqueda, reuso, coherencia) de memorias cache, ocupándose de su eficiencia energética, fiabilidad y prestaciones.