



Sistemas de Memoria Transaccional

Prof. Oscar Plata González

Departamento de Arquitectura de Computadores, Universidad de
Málaga

Sala de Grados • 27 de Abril de 2009 • 15: 30
entrada libre hasta completar el aforo

resumen:

Con el desarrollo de los procesadores multicore ha aumentado el interés en el modelo multithread para la programación paralela, sacándola del ámbito HPC a uno mucho más amplio y generalizado. Tradicionalmente, el paralelismo multithread se coordina mediante mecanismos de sincronización explícita, tales como locks, semáforos, barreras... Son esencialmente mecanismos no estructurados, que dificultan la abstracción y composición. Esto ha supuesto una gran dificultad para el desarrollo de aplicaciones multithread, sobre todo por programadores "no expertos".

Recientemente empieza a haber un gran interés en un modelo de ejecución paralela basado en transacciones, llamado memoria transaccional (TM), que ofrece una alternativa a los locks para la coordinación de threads. Gracias a sus propiedades de atomicidad y aislamiento, TM carece de los problemas de la sincronización clásica y, por tanto, en principio, facilita el uso concurrente de los diferentes núcleos (cores) que ofrecen los procesadores modernos.

Este seminario está estructurado dos partes. En la primera se presenta una descripción general de TM, incluyendo los distintos problemas que aparecen cuando se quiere diseñar una infraestructura TM eficiente, tanto desde el punto de vista de su implementación como de su uso. Principalmente, se centrará en implementaciones TM hardware, esto es, que afecta a la microarquitectura del procesador multicore. La segunda parte describe la actividad de investigación que nuestro grupo en la Universidad de Málaga está realizando en este campo..

sobre Oscar Plata González:

El Dr. Oscar Plata es Catedrático de Universidad en el área de Arquitectura y Tecnología de Computadores, en la Universidad de Málaga. Ha trabajado en tecnologías para la paralelización automática de aplicaciones dinámicas e irregulares. Sus intereses actuales se centran en la jerarquía de memoria en sistemas multi/manycore.