

FPGA-based soft-processors: nodos 6G y seguridad post-cuántica en el espacio

Francisco García Herrero
Universidad Antonio de Nebrija, Madrid

Facultad de Informática
Online - viernes 11 de junio de 2021 - 11:00
Entrada libre hasta completar el aforo

Resumen:

With the rise of fog and edge-computing as the basic paradigms for future communication standards such as 6G, new processing requirements are established. On the other hand, new security algorithms appear with the scaling of quantum technology, increasing the complexity of the cryptography applications for IoT devices with a tight standardization timeline. Finally, the integration of satellites as nodes for communication networks includes fault-tolerance and error-correction codes as design parameters. FPGA-based soft-processors are supported by industry and space agencies as promising candidates to overcome all these challenges, due to their flexibility and power consumption compared to GPUs or multithreading CPUs with co-processors. To optimize these architectures to a wide range of scenarios, common methods, and arithmetic functions need to be integrated into the ISA. This talk will show some examples of the RISC-V EL2 core for both classical and post-quantum cryptography and error correction codes, reducing the latency of standardized solutions at a cost of a small cross-section increase keeping the behavior under radiation effects similar to the original core.

Sobre Francisco García Herrero:

Francisco García Herrero es Graduado en Ingeniería Electrónica de Telecomunicación por la Universidad de Valencia, Máster en Ingeniería de Sistemas Electrónicos para Tecnologías de la Información y las Comunicaciones y Doctor en Ingeniería Electrónica por la Universitat Politècnica de València. Desde el año 2011 su principal línea de investigación se centra en el diseño de algoritmos y arquitecturas VLSI para la corrección de errores en sistemas tolerantes a fallos de comunicación, almacenamiento y procesado, con especial interés en métodos de decodificación no-binarios implementados en FPGA. Actualmente desarrolla su labor docente e investigadora en la Universidad Nebrija, Centro ARIES, en colaboración con otros centros como l'Equipes Traitement de l'Information et Systèmes (Ecole Nationale Supérieure de l'Electronique et de ses Applications), the Department of Electrical and Computer Engineering (University of California), the School of Electrical and Electronic Engineering (University College Dublin) y the Error Correction Laboratory (University of Arizona).